

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-243248  
(P2000-243248A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I		テマコード(参考)
H 0 1 J	9/02	H 0 1 J	9/02	E
	1/316		1/30	E

審査請求 未請求 請求項の数12 O L (全 21 頁)

(21) 出願番号 特願平11-42434

(22) 出願日 平成11年2月22日(1999.2.22)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 宮田 浩克

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 100096828

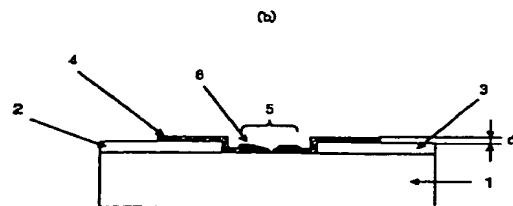
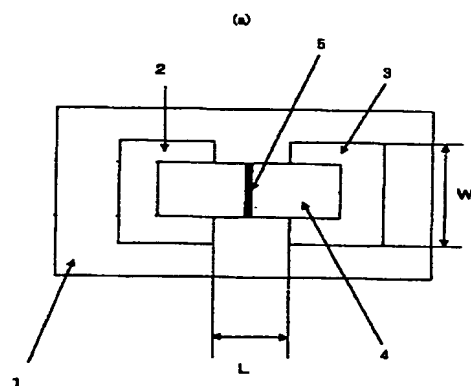
弁理士 渡辺 敬介 (外1名)

(54) 【発明の名称】 電子放出素子、電子源、画像形成装置及びそれらの製造方法

(57) 【要約】

【課題】 駆動劣化が少なく、安定した特性を示す電子放出素子の新規な構成、並びにそれを用いた電子源、画像形成装置、及びそれらの製造方法を提供する。

【解決手段】 基体1上に設けられた一対の素子電極2、3間に跨がる導電性膜4に電子放出部5を有する電子放出素子であって、活性化処理により電子放出部5に堆積させた炭素6に対して、耐酸化処理が施されている。



Best Available Copy

## 【特許請求の範囲】

【請求項1】 基体上に設けられた一対の素子電極間に跨がる導電性膜に電子放出部を有する電子放出素子において、活性化処理により電子放出部に堆積させた炭素に対して、耐酸化処理が施されていることを特徴とする電子放出素子。

【請求項2】 電子放出素子が、表面伝導型電子放出素子であることを特徴とする請求項1に記載の電子放出素子。

【請求項3】 請求項1又は2に記載の電子放出素子を製造する方法であって、  
基体上に一対の素子電極を形成する工程と、  
素子電極間に跨る導電性膜を形成する工程と、  
素子電極間に通電し、導電性膜に電子放出部を形成する工程と、  
電子放出部に炭素を堆積させる活性化工程と、  
電子放出部に堆積させた炭素に対して耐酸化処理を施す工程とを有することを特徴とする電子放出素子の製造方法。

【請求項4】 耐酸化処理が、ハロゲン化合物による処理であることを特徴とする請求項3に記載の電子放出素子の製造方法。

【請求項5】 耐酸化処理が、リン化合物による処理であることを特徴とする請求項3に記載の電子放出素子の製造方法。

【請求項6】 耐酸化処理が、ホウ素化合物による処理であることを特徴とする請求項3に記載の電子放出素子の製造方法。

【請求項7】 入力信号に応じて電子を放出する電子源であって、基体上に、請求項1又は2に記載の電子放出素子を複数配置したことを特徴とする電子源。

【請求項8】 前記複数の電子放出素子が、マトリクス状に配線されていることを特徴とする請求項7に記載の電子源。

【請求項9】 前記複数の電子放出素子が、梯子状に配線されていることを特徴とする請求項7に記載の電子源。

【請求項10】 請求項7～9のいずれかに記載の電子源を製造する方法であって、複数の電子放出素子を請求項3～6のいずれかに記載の方法により製造することを特徴とする電子源の製造方法。

【請求項11】 入力信号に基づいて画像を形成する装置であって、少なくとも、請求項7～9のいずれかに記載の電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有することを特徴とする画像形成装置。

【請求項12】 請求項11に記載の画像形成装置を製造する方法であって、電子源を請求項10に記載の方法により製造することを特徴とする画像形成装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電子放出素子、該電子放出素子を多数個配置してなる電子源、該電子源を用いて構成した表示装置や露光装置等の画像形成装置、及びそれらの製造方法に関する。

## 【0002】

【従来の技術】従来、電子放出素子には大別して熱電子放出素子と冷陰極電子放出素子の2種類が知られている。冷陰極電子放出素子には電界放出型（以下、「FE型」と称す。）、金属／絶縁層／金属型（以下、「MIM型」と称す。）や表面伝導型電子放出素子等が有る。

【0003】FE型の例としては、W. P. Dyke and W. W. Dolan, "Field Emission", *Advance in Electron Physics*, 8, 89 (1956)あるいはC. A. Spindt, "Physical Properties of thin-film field emission cathodes with molybdenum cones", *J. Appl. Phys.*, 47, 5248 (1976)等が開示されたものが知られている。

【0004】MIM型の例としては、C. A. Mead, "Operation of Tunnel-Emission Devices", *J. Appl. Phys.*, 32, 646 (1961)等が開示されたものが知られている。

【0005】表面伝導型電子放出素子の例としては、M. I. Elinson, *Radio Eng. Electron Phys.*, 10, 1290 (1965)等が開示されたものがある。

【0006】表面伝導型電子放出素子は、絶縁性基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等によるSnO<sub>2</sub>薄膜を用いたもの、Au薄膜によるもの[G. Dittmer: "Thin Solid Films", 9, 317 (1972)]、In<sub>2</sub>O<sub>3</sub>/SnO<sub>2</sub>薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)]、カーボン薄膜によるもの[荒木久 他: 真空、第26巻、第1号、22頁(1983)]等が報告されている。

【0007】これらの表面伝導型電子放出素子の典型的な例として、前述のM. ハートウェルの素子構成を図17に模式的に示す。同図において1は基板である。4は導電性膜で、H型形状のパターンに形成された金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部5が形成される。尚、図中の

3

素子電極間隔 $L$ は、 $0.5 \sim 1 \text{ mm}$ 、 $W'$  は、 $0.1 \text{ mm}$ で設定されている。

【0008】これらの表面伝導型電子放出素子においては、電子放出を行う前に導電性膜4を予め通電フォーミングと呼ばれる通電処理によって電子放出部5を形成するのが一般的である。即ち、通電フォーミングとは、前記導電性膜4の両端に電圧を印加通電し、導電性膜4を局部的に破壊、変形もしくは変質させて構造を変化させ、電気的に高抵抗な状態の電子放出部5を形成する処理である。尚、電子放出部5では導電性膜4の一部に亀裂が発生しており、その亀裂付近から電子放出が行われる。

【0009】上述の表面伝導型電子放出素子は、構造が単純であることから、大面積に互って多数素子を配列形成できる利点がある。そこで、この特徴を活かすための種々の応用が研究されている。例えば、荷電ビーム源、表示装置等の画像形成装置への利用が挙げられる。

【0010】従来、多数の表面伝導型電子放出素子を配列形成した例としては、並列に表面伝導型電子放出素子を配列し、個々の表面伝導型電子放出素子の両端（両素子電極）を配線（共通配線とも呼ぶ）にて夫々結線した行を多数行配列（梯子型配置とも呼ぶ）した電子源が挙げられる（例えば、特開昭64-31332号公報、特開平1-283749号公報、同2-257552号公報）。

【0011】また、特に表示装置においては、液晶を用いた表示装置と同様の平板型表示装置とすることが可能で、しかもバックライトが不要な自発光型の表示装置として、表面伝導型電子放出素子を多数配置した電子源と、この電子源からの電子線の照射により可視光を発光する蛍光体を組み合わせた表示装置が提案されている（アメリカ特許第5066883号明細書）。

【0012】

【発明が解決しようとする課題】この表面伝導型電子放出素子を実用化するためには種々の問題点があるが、素子の特性の安定性および制御性を高め、かつ効率（素子電極に電圧を印加した際に流れる電流 $I_f$ （以下、「素子電流 $I_f$ 」と呼ぶ。）に対する真空中に放出される電流 $I_e$ （以下、「放出電流 $I_e$ 」と呼ぶ。）の割合）を高くするために、活性化工程により、高抵抗部を含む導電性膜を有する電子放出素子において、高抵抗部に炭素を主成分とする堆積物を形成した電子放出素子が報告されている（特開平7-235255号公報）。

【0013】しかしながら、導電性膜の高抵抗部に炭素を主成分とする堆積物を形成した電子放出素子は、真空中で駆動して電子放出させると、駆動時間に伴い徐々に電子放出量が減少してしまうという現象、すなわち電子放出素子が劣化してしまうという現象が起こることがあった。

【0014】このような特性の劣化は、例えば電子放出

4

素子を画像形成装置に応用した場合に、輝度の低下に直接つながるため、重大な問題である。

【0015】本発明の目的は、上記問題を鑑み、駆動劣化が少なく、安定した特性を示す電子放出素子の新規な構成、並びにそれを用いた電子源、画像形成装置、及びそれらの製造方法を提供することにある。

【0016】

【課題を解決するための手段】上記の目的を達成すべく成された本発明の構成は、以下の通りである。

【0017】即ち、本発明の第一は、基体上に設けられた一対の素子電極間に跨がる導電性膜に電子放出部を有する電子放出素子において、活性化処理により電子放出部に堆積させた炭素に対して、耐酸化処理が施されていることを特徴とする電子放出素子にある。

【0018】また、本発明の第二は、上記本発明の第一の電子放出素子を製造する方法であって、基体上に一対の素子電極を形成する工程と、素子電極間に跨る導電性膜を形成する工程と、素子電極間に通電し、導電性膜に電子放出部を形成する工程と、電子放出部に炭素を堆積させる活性化工程と、電子放出部に堆積させた炭素に対して耐酸化処理を施す工程とを有することを特徴とする電子放出素子の製造方法にある。

【0019】また、本発明の第三は、入力信号に応じて電子を放出する電子源であって、基体上に、上記本発明の第一の電子放出素子を複数配置したことを特徴とする電子源にある。

【0020】また、本発明の第四は、上記本発明の第三の電子源を製造する方法であって、複数の電子放出素子を上記本発明の第二の方法により製造することを特徴とする電子源の製造方法にある。

【0021】また、本発明の第五は、入力信号に基づいて画像を形成する装置であって、少なくとも、上記本発明の第三の電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有することを特徴とする画像形成装置にある。

【0022】さらに、本発明の第六は、上記本発明の第五の画像形成装置を製造する方法であって、電子源を上記本発明の第四の方法により製造することを特徴とする画像形成装置の製造方法にある。

【0023】本発明によれば、導電性膜にフォーミング処理により形成した電子放出部に堆積させた炭素に対して、耐酸化処理が施すものである。耐酸化処理としては種々の手法が適用可能であるが、特に、ハロゲン化合物による処理、リン化合物による処理、ホウ素化合物による処理を適用する場合に効果大きい。

【0024】

【発明の実施の形態】次に、本発明の好ましい実施態様を示す。

【0025】図1は、本発明の電子放出素子の一構成例を示す模式図であり、図1(a)は平面図、図1(b)

5

は縦断面図である。図1において、1は基板、2と3は電極（素子電極）、4は導電性膜、5は電子放出部、6は耐酸化処理を施した炭素である。

【0026】基板1としては、石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス、青板ガラスにスパッタ法等によりSiO<sub>2</sub>を積層した積層体、アルミナ等のセラミックス及びSi基板等を用いることができる。

【0027】対向する素子電極2、3の材料としては、一般的な導体材料を用いることができ、例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属或は合金及びPd、Ag、Au、RuO<sub>2</sub>、Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択される。

【0028】素子電極間隔L、素子電極長さW、導電性膜4の形状等は、応用される形態等を考慮して、設計される。素子電極間隔Lは、好ましくは、数百nmから数百μmの範囲とすることができ、より好ましくは、素子電極間に印加する電圧等を考慮して数μmから数十μmの範囲とすることができ、素子電極長さWは、電極の抵抗値、電子放出特性を考慮して、数μmから数百μmの範囲とすることができ、素子電極2、3の膜厚dは、数十nmから数μmの範囲とすることができ、

【0029】尚、図1に示した構成とは別に、基板1上に、導電性膜4、素子電極2、3の順に形成した構成とすることもできる。また、製法によっては、対向する素子電極2、3間の全てが電子放出部として機能する場合もある。

【0030】導電性膜4を構成する材料としては、例えばPd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>、PbO、Sb<sub>2</sub>O<sub>3</sub>等の酸化物導電体、HfB<sub>2</sub>、ZrB<sub>2</sub>、LaB<sub>6</sub>、CeB<sub>6</sub>、YB<sub>4</sub>、Gd<sub>2</sub>B<sub>4</sub>等の硼化物、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン等が挙げられる。

【0031】導電性膜4の膜厚は、素子電極2、3へのステップカバレッジ、素子電極2、3間の抵抗値等を考慮して適宜設定されるが、通常は、数Å～数百nmの範囲とするのが好ましく、より好ましくは1nm～50nmの範囲とするのが良い。その抵抗値は、R<sub>s</sub>が10<sup>2</sup>Ω/□から10<sup>7</sup>Ω/□の値であるのが好ましい。なお、R<sub>s</sub>は、幅がwで長さがlの薄膜の長さ方向に測定した抵抗Rを、 $R = R_s (l/w)$ と置いたときに現れる値である。

【0032】電子放出部5は、導電性膜4の一部に形成された高抵抗の亀裂により構成され、その内部には、数

6

Åから数十nmの範囲の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性膜4を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。また、電子放出部5及びその近傍の導電性膜4には、後述の活性化工程によって形成される炭素あるいは炭素化合物を有することもできる。

【0033】本発明の電子放出素子の製造方法としては様々な方法があるが、その一例を図2に基づいて説明する。尚、図2においても図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。

【0034】1) 基板1を洗剤、純水及び有機溶剤等を用いて十分に洗浄し、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて基板1上に素子電極2及び3を形成する(図2(a))。

【0035】2) 素子電極2、3を設けた基板1上に、有機金属溶液を塗布して、有機金属膜を形成する。有機金属溶液には、前述の導電性膜の材料の金属を主元素とする有機化合物の溶液を用いることができる。この有機金属膜を加熱焼成処理し、リフトオフ、エッチング等によりパターニングし、導電性膜4を形成する(図2(b))。

ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性膜4の形成法はこれに限られるものではなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピンナー法等を用いることもできる。

【0036】3) 次に、フォーミングと呼ばれる通電処理を施す。素子電極2、3間に通電を行うと、導電性膜4の部位に電子放出部5が形成される(図2(c))。

【0037】フォーミング工程においては、瞬間的に導電性膜4の一部に局所的に熱エネルギーが集中し、その部位に構造の変化した電子放出部5が形成される。

【0038】通電フォーミングの電圧波形の例を図3に示す。

【0039】電圧波形は、特にパルス波形が好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図3(a)に示した手法と、パルス波高値を増加させながらパルスを印加する図3(b)に示した手法がある。

【0040】まず、パルス波高値を定電圧とした場合について図3(a)で説明する。図3(a)におけるT<sub>1</sub>及びT<sub>2</sub>は電圧波形のパルス幅とパルス間隔である。三角波の波高値(ピーク電圧)は、電子放出素子の形態に応じて適宜選択される。このような条件のもと、例えば、数秒から数十分間電圧を印加する。パルス波形は、三角波に限定されるものではなく、矩形波等の所望の波形を採用することができる。

【0041】次に、パルス波高値を増加させながら電圧パルスを印加する場合について図3(b)で説明する。図3(b)におけるT<sub>1</sub>及びT<sub>2</sub>は、図3(a)に示し

7

たのと同様とすることができる。三角波の波高値（ピーク電圧）は、例えば 0.1 V ステップ程度づつ、増加させることができる。

【0042】通電フォーミング処理の終了は、パルス間隔  $T_2$  中に、導電性膜 4 を局所的に破壊、変形しない程度の電圧を印加し、電流を測定して検知することができる。例えば 0.1 V 程度の電圧印加により流れる電流を測定し、抵抗値を求めて、1 M $\Omega$  以上の抵抗を示した時、通電フォーミングを終了させる。

【0043】フォーミング処理以降の電気的処理は、例えば図 4 に示すような真空処理装置内で行うことができる。この真空処理装置は測定評価装置としての機能をも兼ね備えている。図 4 においても、図 1 に示した部位と同じ部位には図 1 に付した符号と同一の符号を付している。

【0044】図 4 において、55 は真空容器であり、56 は排気ポンプである。真空容器 55 内には電子放出素子が配されている。また、51 は電子放出素子に素子電圧  $V_f$  を印加するための電源、50 は素子電極 2、3 間を流れる素子電流  $I_f$  を測定するための電流計、54 は素子の電子放出部 5 より放出される放出電流  $I_e$  を捕捉するためのアノード電極、53 はアノード電極 54 に電圧を印加するための高圧電源、52 は電子放出部 5 より放出される放出電流  $I_e$  を測定するための電流計である。一例として、アノード電極 54 の電圧を 1 kV ~ 10 kV の範囲とし、アノード電極 54 と電子放出素子との距離  $H$  を 2 mm ~ 8 mm の範囲として測定を行うことができる。

【0045】真空容器 55 内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっている。

【0046】排気ポンプ 56 は、ターボポンプ、ロータリーポンプ等からなる通常の高真空装置系と、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子放出素子基板を配した真空処理装置の全体は、不図示のヒーターにより加熱できる。

【0047】4) 次に、フォーミングを終えた素子に活性化工程と呼ばれる処理を施す。

【0048】活性化工程は、例えば、有機物質のガスを含有する雰囲気下で、通電フォーミングと同様に、素子電極 2、3 間にパルスの印加を繰り返すことで行うことができ、この処理により、素子電流  $I_f$ 、放出電流  $I_e$  が、著しく変化ようになる。

【0049】活性化工程における有機物質のガスを含有する雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、オイルを使用しないイオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することに

8

よって得られる。このときの好ましい有機物質のガス圧は、前述の素子の形態、真空容器の形状や、有機物質の種類などにより異なるため、場合に応じ適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン、スルホン酸等の有機酸類等を挙げることが出来、具体的には、メタン、エタン、プロパンなど  $C_n H_{2n+2}$  で表される飽和炭化水素、エチレン、プロピレンなど  $C_n H_{2n}$  等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等が使用できる。

【0050】この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積し、素子電流  $I_f$ 、放出電流  $I_e$  が、著しく変化ようになる。図 1 において、6 は活性化工程で堆積した炭素である。

【0051】炭素あるいは炭素化合物とは、例えばグラファイト（いわゆる HOPG、PG、GC を包含するもので、HOPG はほぼ完全なグラファイト結晶構造、PG は結晶粒が 20 nm 程度で結晶構造がやや乱れたもの、GC は結晶粒が 2 nm 程度になり結晶構造の乱れがさらに大きくなったものを指す。）、非晶質カーボン（アモルファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す。）であり、表面及び結晶粒界の炭素が、例えば水素、窒素等の他の元素と部分的に結合を形成しているものをも包含する。その膜厚は、50 nm 以下の範囲とするのが好ましく、30 nm 以下の範囲とすることがより好ましい。

【0052】活性化工程の終了判定は、素子電流  $I_f$  と放出電流  $I_e$  を測定しながら、適宜行うことができる。

【0053】このように活性化工程によって堆積した炭素に対して、耐酸化処理を施す。耐酸化処理としては、本発明者等が多くの実験を行った中では、ハロゲン化合物による処理、リン化合物による処理、ホウ素化合物による処理が特に有効であった。これらの化合物による処理の方法としては、それぞれの化合物を素子上に微量滴下する方法、化合物の高濃度の蒸気に曝露する方法等が挙げられる。この後、必要に応じて、上記処理に用いた余分な化合物を除去する工程（例えば加熱等）を施す。

【0054】このようにして作成した電子放出素子を真空処理装置中に導入し、電子放出挙動を観測した。電子放出挙動の観測を行う評価装置の真空容器、測定系は、フォーミング処理および活性化処理を行ったのと同様の真空処理装置である。

【0055】堆積した炭素に対して耐酸化処理を施した本発明の電子放出素子と、活性化後耐酸化処理を施して

いない電子放出素子とを同時に真空処理装置中で駆動させたところ、両者ともに駆動に伴って素子電流及び放出電流が減少していく様子が観測されたが、耐酸化処理を施した本発明の電子放出素子は、耐酸化処理を施していない電子放出素子に比べて、駆動時間に伴う素子電流  $I_f$  及び放出電流  $I_e$  の減少の割合が小さく、本発明の耐酸化処理を施すことによって、耐久性に優れた電子放出素子を作製できることが確認された。

【0056】本発明を適用可能な、電子放出部に炭素を堆積させた電子放出素子を真空中で駆動させ、素子電流  $I_f$  及び放出電流  $I_e$  の変化を観測した場合、一般に、時間とともにこれらの電流は減少していく様子が観測される。

【0057】この素子の劣化の原因は未だ完全には解明されていないが、本発明者等の詳細な検討結果より、真空雰囲気中に含まれている  $O_2$  や  $H_2O$  のような酸化性ガスによる炭素の部分的な酸化による消失が一因であると考えている。

【0058】一方、炭素の酸化防止に関しては多くの研究がなされており、大別して、炭素全体を酸素の透過性の低い物質で覆ってしまう方法と、炭素の活性なサイトに種々の化学種を結合させることによって酸素との反応を妨げる方法との2つがある。このうち後者は、炭素の酸化反応が起こり易いグラファイトシートの端や欠陥等のサイトを、例えばハロゲン等の元素をあらかじめ結合させることによって被毒し、酸素によるアタックを防ぐというものである。この方法について、本発明者等が炭素を堆積した電子放出素子に対して多くの検討を行った結果、含塩素有機化合物のようなハロゲン化合物、リン酸エステルのようなリン化合物、ホウ酸エステルのようなホウ素化合物による処理が特に有効であることが判った。

【0059】本発明は、即ち、電子放出部に堆積した炭素に対して、ハロゲン化合物、リン化合物、ホウ素化合物による耐酸化処理を施すことによって、真空中に含まれる  $O_2$  や  $H_2O$  等の酸化性ガスによる炭素の酸化を妨げ、その結果、電子放出素子の耐久性の向上を実現したものである。

【0060】上述した工程を経て得られた本発明の電子放出素子の基本特性について、図5を参照しながら説明する。

【0061】図5は、図4に示した真空処理装置を用いて測定された放出電流  $I_e$  及び素子電流  $I_f$  と、素子電圧  $V_f$  との関係を模式的に示した図である。図5においては、放出電流  $I_e$  が素子電流  $I_f$  に比べて著しく小さいので、任意単位で示している。尚、縦・横軸ともリニアスケールである。

【0062】図5からも明らかなように、本発明の電子放出素子は、放出電流  $I_e$  に関して次の3つの特徴的な性質を有する。

【0063】即ち、第1に、本素子はある電圧（閾値電圧と呼ぶ；図5中の  $V_{th}$ ）以上の素子電圧を印加すると急激に放出電流  $I_e$  が増加し、一方閾値電圧  $V_{th}$  以下では放出電流  $I_e$  が殆ど検出されない。つまり、放出電流  $I_e$  に対する明確な閾値電圧  $V_{th}$  を持った非線形素子である。

【0064】第2に、放出電流  $I_e$  が素子電圧  $V_f$  に単調増加依存するため、放出電流  $I_e$  は素子電圧  $V_f$  で制御できる。

【0065】第3に、アノード電極54（図4参照）に捕捉される放出電荷は、素子電圧  $V_f$  を印加する時間に依存する。つまり、アノード電極54に捕捉される電荷量は、素子電圧  $V_f$  を印加する時間により制御できる。

【0066】以上の説明より理解されるように、本発明の電子放出素子は、入力信号に応じて、電子放出特性を容易に制御できることになる。この性質を利用すると複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。

【0067】図5においては、素子電流  $I_f$  が素子電圧  $V_f$  に対して単調増加する（ $M I$  特性）例を示したが、素子電流  $I_f$  が素子電圧  $V_f$  に対して電圧制御型負性抵抗特性（ $V C N R$  特性）を示す場合もある（不図示）。これらの特性は、前述の工程を制御することで制御できる。

【0068】次に、本発明の電子放出素子の応用例について以下に述べる。本発明の電子放出素子を複数個基板上に配列し、例えば電子源や画像形成装置が構成できる。

【0069】電子放出素子の配列については、種々のものが採用できる。一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し（行方向と呼ぶ）、この配線と直交する方向（列方向と呼ぶ）で、該電子放出素子の上方に配した制御電極（グリッドとも呼ぶ）により、電子放出素子からの電子を制御駆動する梯子状配置のものがある。これとは別に、電子放出素子をX方向及びY方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配置について以下に詳述する。

【0070】本発明の電子放出素子については、前述した通り3つの特性がある。即ち、表面伝導型電子放出素子からの放出電子は、閾値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、閾値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子にパルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択して

11

電子放出量を制御できる。

【0071】以下この原理に基づき、本発明の電子放出素子を複数配して得られる電子源基板について、図6を用いて説明する。図6において、71は電子源基板、72はX方向配線、73はY方向配線である。74は電子放出素子、75は結線である。

【0072】m本のX方向配線72は、 $Dx1$ 、 $Dx2$ 、……、 $Dxm$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、幅は適宜設計される。Y方向配線73は、 $Dy1$ 、 $Dy2$ …… $Dyn$ のn本の配線よりなり、X方向配線72と同様に形成される。これらm本のX方向配線72とn本のY方向配線73との間には、不図示の層間絶縁層が設けられており、両者を電気的に分離している（m、nは、共に正の整数）。

【0073】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された $SiO_2$ 等で構成される。例えば、X方向配線72を形成した基板71の全面或は一部に所望の形状で形成され、特に、X方向配線72とY方向配線73の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。X方向配線72とY方向配線73は、それぞれ外部端子として引き出されている。

【0074】電子放出素子74を構成する一対の素子電極（不図示）は、それぞれm本のX方向配線72とn本のY方向配線73に、導電性金属等からなる結線75によって電気的に接続されている。

【0075】配線72と配線73を構成する材料、結線75を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、また夫々異なってもよい。これらの材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

【0076】X方向配線72には、X方向に配列した電子放出素子74の行を選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線73には、Y方向に配列した電子放出素子74の各列を入力信号に応じて変調するための、不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0077】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0078】このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図7と図8及び図9を用いて説明する。図7は、画像形成装置の表示パネルの一例を示す模式図であり、図8は、図7の画像形成装置に使用される蛍光膜の模式図である。図9は、N

12

TSC方式のテレビ信号に応じて表示を行うための駆動回路の一例を示すブロック図である。

【0079】図7において、71は電子放出素子を複数配した電子源基板、81は電子源基板71を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック85等が形成されたフェースプレートである。82は支持枠であり、該支持枠82には、リアプレート81、フェースプレート86がフリットガラス等を用いて接続されている。88は外囲器であり、例えば大気中あるいは窒素中で、 $400 \sim 500^\circ\text{C}$ の温度範囲で10分間以上焼成することで、封着して構成される。

【0080】74は、図1に示したような電子放出素子である。72、73は、表面伝導型電子放出素子の一対の素子電極と接続されたX方向配線及びY方向配線である。

【0081】外囲器88は、上述の如く、フェースプレート86、支持枠82、リアプレート81で構成される。リアプレート81は主に基板71の強度を補強する目的で設けられるため、基板71自体で十分な強度を持つ場合は別体のリアプレート81は不要とすることができる。即ち、基板71に直接支持枠82を封着し、フェースプレート86、支持枠82及び基板71で外囲器88を構成してもよい。一方、フェースプレート86とリアプレート81の間に、スペーサーと呼ばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器88を構成することもできる。

【0082】図8は、蛍光膜を示す模式図である。蛍光膜84は、モノクロームの場合は蛍光体のみで構成することができる。カラーの蛍光膜の場合は、蛍光体の配列により、ブラックストライプ（図8（a））あるいはブラックマトリクス（図8（b））等と呼ばれる黒色導電材91と蛍光体92とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体92間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜84における外光反射によるコントラストの低下を抑制することにある。黒色導電材91の材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【0083】ガラス基板83に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈着法や印刷法等が採用できる。蛍光膜84の内面側には、通常メタルバック85が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート86側へ鏡面反射することにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化处理

13

(通常、「フィルミング」と呼ばれる。)を行い、その後A1を真空蒸着等を用いて堆積させることで作製できる。

【0084】フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外側面に透明電極(不図示)を設けてもよい。

【0085】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0086】図7に示した画像形成装置は、例えば以下のようにして製造される。

【0087】外囲器88内は、適宜加熱しなから、イオンポンプ、ソーブションポンプ等のオイルを使用しない排気装置により不図示の排気管を通じて排気し、 $10^{-5}$  Pa程度の真空度の有機物質の十分に少ない雰囲気にした後、封止が成される。外囲器88の封止後の真空度を維持するために、ゲッター処理を行うこともできる。これは、外囲器88の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器88内の所定の位置に配置されたゲッター(不図示)を加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば $1 \times 10^{-5}$  Pa以上の真空度を維持するものである。ここで、電子放出素子のフォーミング処理以降の工程は適宜設定できる。

【0088】次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について、図9を用いて説明する。図9において、101は画像表示パネル、102は走査回路、103は制御回路、104はシフトレジスタ、105はラインメモリ、106は同期信号分離回路、107は変調信号発生器、Vx及びVaは直流電圧源である。

【0089】表示パネル101は、端子Dox1乃至Doxm、端子Doy1乃至Doy n及び高圧端子87を介して外部の電気回路と接続している。端子Dox1乃至Doxmには、表示パネル101内に設けられている電子源、即ち、m行n列の行列状にマトリクス配線された電子放出素子群を1行(n素子)づつ順次駆動する為の走査信号が印加される。端子Doy1乃至Doy nには、前記走査信号により選択された1行の電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子87には、直流電圧源Vaより、例えば10kVの直流電圧が供給されるが、これは電子放出素子から放出される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0090】走査回路102について説明する。同回路は、内部にm個のスイッチング素子(図中、S1乃至Smで模式的に示している)を備えたものである。各スイッチング素子は、直流電圧電源Vxの出力電圧もしくはは

14

0[V](グラウンドレベル)のいずれか一方を選択し、表示パネル101の端子Dox1乃至Doxmと電気的に接続される。各スイッチング素子S1乃至Smは、制御回路103が出力する制御信号Tscanに基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0091】直流電圧源Vxは、本例の場合には電子放出素子の特性(電子放出閾値電圧)に基づき、走査されていない素子に印加される駆動電圧が電子放出閾値電圧以下となるような一定電圧を出力するように設定されている。

【0092】制御回路103は、外部より入力される画像信号に基づいて適切な表示が行われるように、各部の動作を整合させる機能を有する。制御回路103は、同期信号分離回路106より送られる同期信号Tsyncに基づいて、各部に対してTscan、Tsft及びTmryの各制御信号を発生する。

【0093】同期信号分離回路106は、外部から入力されるNTSC方式のテレビ信号から、同期信号成分と輝度信号成分とを分離するための回路で、一般的な周波数分離(フィルター)回路等を用いて構成できる。同期信号分離回路106により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上Tsync信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は、便宜上DATA信号と表した。このDATA信号は、シフトレジスタ104に入力される。

【0094】シフトレジスタ104は、時系列的にシリアルに入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路103より送られる制御信号Tsftに基づいて動作する(即ち、制御信号Tsftは、シフトレジスタ104のシフトクロックであると言い換えてもよい)。シリアル/パラレル変換された画像1ライン分のデータ(電子放出素子n素子分の駆動データに相当)は、Id1乃至Idnのn個の並列信号として前記シフトレジスタ104より出力される。

【0095】ラインメモリ105は、画像1ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路103より送られる制御信号Tmryに従って適宜Id1乃至Idnの内容を記憶する。記憶された内容は、Id'1乃至Id'nとして出力され、変調信号発生器107に入力される。

【0096】変調信号発生器107は、画像データId'1乃至Id'nの各々に応じて、電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子Doy1乃至Doy nを通じて表示パネル101内の電子放出素子に印加される。

【0097】前述したように、本発明の電子放出素子は



15

放出電流  $I_e$  に関して以下の基本特性を有している。即ち、電子放出には明確な閾値電圧  $V_{th}$  があり、 $V_{th}$  以上の電圧が印加された時のみ電子放出が生じる。電子放出閾値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値電圧以下の電圧を印加しても電子放出は生じないが、電子放出閾値電圧以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値  $V_m$  を変化させることにより、出力電子ビームの強度を制御することが可能である。また、パルスの幅  $P_w$  を変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。

【0098】従って、入力信号に応じて電子放出素子を変調する方式としては、電圧変調方式とパルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器107としては、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの波高値を変調できるような電圧変調方式の回路を用いることができる。パルス幅変調方式を実施するに際しては、変調信号発生器107として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0099】シフトレジスタ104やラインメモリ105は、デジタル信号式のものでもアナログ信号式のものでも採用できる。画像信号のシリアル／パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【0100】デジタル信号式を用いる場合には、同期信号分離回路106の出力信号DATAをデジタル信号化する必要があるが、これには同期信号分離回路106の出力部にA/D変換器を設ければ良い。これに関連してラインメモリ105の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器107に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばD/A変換回路を用い、必要に応じて増幅回路等を付加する。パルス幅変調方式の場合、変調信号発生器107には、例えば高速の発振器及び発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0101】アナログ信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばオペアンプ等を用いた増幅回路を採用でき、必要に応じてレベルシフト回路等を付加することもできる。パルス幅変調方式の場合には、例えば電圧制御型発振回路（VCO）を採用で

16

き、必要に応じて電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0102】このような構成をとり得る本発明の画像形成装置においては、各電子放出素子に、容器外端子  $D_{ox1}$  乃至  $D_{oxm}$ 、 $D_{oy1}$  乃至  $D_{oyn}$  を介して電圧を印加することにより、電子放出が生じる。高圧端子87を介してメタルバック85あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜84に衝突し、発光が生じて画像が形成される。

【0103】ここで述べた画像形成装置の構成は、本発明の画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号についてはNTSC方式を挙げたが、入力信号はこれに限られるものではなく、PAL、SECAM方式等の他、これらよりも多数の走査線からなるTV信号（例えば、MUSE方式をはじめとする高品位TV）方式をも採用できる。

【0104】次に、前述の梯子型配置の電子源及び画像形成装置について、図10及び図11を用いて説明する。

【0105】図10は、梯子型配置の電子源の一例を示す模式図である。図10において、110は電子源基板、111は電子放出素子である。112は、電子放出素子111を接続するための共通配線  $D_{x1} \sim D_{x10}$  であり、これらは外部端子として引き出されている。電子放出素子111は、基板110上に、X方向に並列に複数個配置されている（これを素子行と呼ぶ）。この素子行が複数個配置されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出閾値以上の電圧を印加し、電子ビームを放出させたくない素子行には、電子放出閾値以下の電圧を印加する。各素子行間に位置する共通配線  $D_{x2} \sim D_{x9}$  は、例えば  $D_{x2}$  と  $D_{x3}$ 、 $D_{x4}$  と  $D_{x5}$ 、 $D_{x6}$  と  $D_{x7}$ 、 $D_{x8}$  と  $D_{x9}$  とを夫々一体の同一配線とすることもできる。

【0106】図11は、梯子型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。120はグリッド電極、121は電子が通過するための開口、 $D_{ox1}$  乃至  $D_{oxm}$  は容器外端子、 $G_1$  乃至  $G_n$  はグリッド電極120と接続された容器外端子である。110は各素子行間の共通配線を同一配線とした電子源基板である。図11においては、図7、図10に示した部位と同じ部位には、これらの図に付したのと同じの符号を付している。ここに示した画像形成装置と、図7に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板110とフェースプレート86の間にグリッド電極120を備えているか否かである。

【0107】図11においては、基板110とフェースプレート86の間には、グリッド電極120が設けられ

17

ている。グリッド電極120は、電子放出素子111から放出された電子ビームを変調するためのものであり、梯子型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口121が設けられている。グリッド電極の形状や配置位置は、図1に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッド電極を電子放出素子の周囲や近傍に設けることもできる。

【0108】容器外端子Dox1乃至Doxm及びグリッド容器外端子G1乃至Gnは、不図示の制御回路と電氣的に接続されている。

【0109】本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）して行くのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。

【0110】以上説明した本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

#### 【0111】

【実施例】以下に、具体的な実施例を挙げて本発明を説明するが、本発明はこれらの実施例に限定されるものではなく、本発明の目的が達成される範囲内での各要素の置換や設計変更がなされたものをも包含する。

【0112】〔実施例1〕本実施例に係る電子放出素子の基本的な構成は、図1と同様である。本実施例における電子放出素子の製造法は、基本的には図2と同様である。以下、図1及び図2を用いて、本実施例における電子放出素子の製造方法を順をおって説明する。

#### 【0113】工程-1

絶縁性基板1として石英ガラス基板を用い、これに厚さ5nmのTi、及び厚さ30nmのPtを真空蒸着し、フォトリソグラフィ技術により、素子電極パターン2、3を形成した（図2（a））。この素子電極2、3、及びその間隙に、さらに膜厚3nmのPdO薄膜4をフォトリソグラフィ技術により形成した（図2（b））。作製した電子放出素子の素子電極間隔Lは10μm、素子電極長Wは500μmである。

#### 【0114】工程-2

このようにして作製した電子放出素子を、図4に示した真空容器の中に入れ、これに対してフォーミング処理を施し、電子放出部5を形成した（図2（c））。フォーミング処理は、素子の（+）電極と（-）電極間に通電を行うことで電子放出部5を形成する通電フォーミングを用いた。本実施例では、（+）電極をグラウンドレベルにし、（-）電極側に負の電圧を印加して行った。

【0115】通電フォーミングに用いた電圧波形は、三

18

角波のパルスで、パルス幅1m秒、パルス間隔10m秒とし、電圧を2V/分、0.1Vステップで上昇させた。電圧が16Vに達したときに電子放出素子を流れる電流はほとんど0になり、フォーミングが終了した。

#### 【0116】工程-3

このようにフォーミング処理を行った電子放出素子に対して、活性化処理を施した。本実施例では、1.3×10<sup>-4</sup>Paのベンゾニトリル雰囲気下において、±15Vの矩形パルスを連続して印加することで活性化処理を行った。本実施例では、（+）電極をグラウンドレベルにし、（-）電極側に電圧パルスを印加した。矩形パルスの幅は1m秒、パルス間隔は5m秒とし、1パルス毎にパルスの極性を逆転させ、120分間連続印加した。但し、活性化の速度が速い場合には、120分に達しなくとも、素子電流Ifの値が飽和した時点で活性化処理を終了させた。

【0117】この活性化処理によって、活性化処理前にはほとんど0であった素子電流If及び放出電流Ieが著しく増加した。活性化処理終了時の素子電流Ifの値は活性化処理を行った10素子の平均で2.4mA、ばらつきは10%以内であった。

#### 【0118】工程-4

次に、活性化処理を行った電子放出素子の堆積炭素に対して耐酸化処理を行った。本実施例では、活性化処理を行った後の電子放出素子上に塩化アジボイル（化学式：C1CO(CH2)4COC1）を微量滴下した。再現性を確認するために、同じ条件で作成した電子放出素子を5素子用いた。

【0119】塩化アジボイルを完全に乾燥させた後、電子放出素子を再び上記の真空処理装置中に戻し、イオンポンプ、ターボモレキュラーポンプ、及びスクロールポンプを排気装置として用いて、150℃で8時間加熱して安定化した。この場合、真空容器全体も加熱を行った。

【0120】参考試料として用いる、耐酸化処理を施さない電子放出素子は、活性化処理終了後、真空処理装置内のベンゾニトリルを排気し、そのまま同じ条件で素子と真空容器全体を加熱することで安定化した。参考試料も、再現性を確認するために、5素子を用いた。

#### 【0121】工程-5

以上のようにして作製した電子放出素子を、上記の真空処理装置（測定評価装置）内で駆動させ、駆動に伴う素子電流If及び放出電流Ieの時間変化を観測した。駆動は、（+）電極側をグラウンドレベルにしておいて、（-）電極側に電圧パルスを印加して行った。電圧パルスは矩形波で、パルス幅0.1m秒、パルス間隔は16.7m秒とし、24時間連続駆動した。測定を行った際の真空度は、1.0×10<sup>-7</sup>Paであった。また、放出電流測定のためのアノード電極と電子放出素子との距離は4mm、アノード電極の電位を1kVとした。

19

【0122】24時間駆動させた後の素子電流  $I_f$  値及び放出電流  $I_e$  値の駆動初期における値  $I_{f0}$ 、 $I_{e0}$  に対する割合をもって、電子放出素子の劣化速度の日安とした。

【0123】本実施例で作製した耐酸化処理を施した5\*

処理内容	素子 No.	$I_f/I_{f0}$ (%)	$I_e/I_{e0}$ (%)
塩化アジボイル 耐酸化処理	1	62.2	60.9
	2	60.4	60.4
	3	59.9	58.3
	4	61.5	61.0
	5	60.8	59.4
	平均	61.0	60.0
未処理	1	48.5	49.8
	2	49.2	50.3
	3	49.0	49.3
	4	49.8	51.0
	5	48.2	49.8
	平均	48.9	50.0

【0125】表1からわかるように、耐酸化処理を施さなかった参考試料5素子では、24時間駆動後の素子電流  $I_f$  及び放出電流  $I_e$  はともに初期値の約50%に減少した。一方、塩化アジボイルによる耐酸化処理を行った5素子では、24時間駆動後に初期値の約60%の素子電流  $I_f$  及び放出電流  $I_e$  を残すことができ、耐酸化処理による劣化防止効果が確認された。

【0126】【実施例2】実施例1で用いたのと同じ材質、同じサイズの電子放出素子を用いて、実施例1と同じ手順、同じ条件で電子放出素子のフォーミング処理、活性化処理を行った。再現性を確認するために、5素子を測定に供した。活性化処理終了時の素子電流値は、5素子の平均で2.5mAで、素子間のばらつきは10%以内であった。

【0127】次に、活性化処理を行った電子放出素子の堆積炭素に対して耐酸化処理を行った。本実施例では、活性化処理を行った後の素子上にリン酸ブトキシド（別名トリ-n-ブトキシリン酸、化学式： $\text{PO}(\text{OCH}_2\text{CH}_2\text{CH}_2\text{CH}_3)_3$ ）を微量滴下した。250℃のオーブン中で過剰のリン酸ブトキシドを乾燥させた後、※

20

\*素子、及び耐酸化処理を施さなかった参考試料5素子について、測定された24時間駆動後の  $I_f$ 、 $I_e$  の初期値に対する割合を表1に示す。

【0124】

【表1】

※電子放出素子を再び上記真空処理装置中に戻し、イオンポンプ、ターボモレキュラーポンプ、及びスクロールポンプを排気装置として用いて、150℃で8時間加熱して安定化した。この場合、真空容器全体の加熱も行った。

【0128】以上のようにして作製した電子放出素子を、上記の真空処理装置（測定評価装置）内で駆動させ、駆動に伴う素子電流  $I_f$  及び放出電流  $I_e$  の時間変化を観測した。駆動条件、アノード電極の位置、アノード電極の電位は、実施例1と同じである。この電子放出素子を24時間駆動させ、駆動後の素子電流  $I_f$  値、及び放出電流  $I_e$  値の駆動初期における値  $I_{f0}$ 、 $I_{e0}$  に対する割合をもって、電子放出素子の劣化速度の日安とした。

【0129】本実施例で作成したリン酸ブトキシドによる耐酸化処理を行った5素子について、測定された24時間駆動後の  $I_f$ 、 $I_e$  の初期値に対する割合を表2に示す。

【0130】

【表2】

処理内容	素子 No.	$I_f/I_{f0}$ (%)	$I_e/I_{e0}$ (%)
トリエトキシボロン 耐酸化処理	1	61.8	61.4
	2	62.9	61.9
	3	62.7	62.0
	4	63.3	62.8
	5	62.2	61.9
	平均	62.6	62.0

【0131】表2からわかるように、リン酸ブトキシドによる耐酸化処理を行った5素子では、24時間駆動後に初期値の60%以上の素子電流  $I_f$  及び放出電流  $I_e$  を残すことができ、耐酸化処理による劣化防止効果が確認された。

【0132】【実施例3】実施例1及び2で用いたのと

同じ材質、同じサイズの素子を用いて、実施例1及び2と同じ手順、同じ条件で電子放出素子のフォーミング処理、活性化処理を行った。再現性を確認するために、5素子を測定に供した。活性化処理終了時の素子電流値は、5素子の平均で2.5mAで、素子間のばらつきは10%以内であった。

21

【0133】次に、活性化処理を行った電子放出素子の堆積炭素に対して耐酸化処理を行った。本実施例では、活性化処理を行った後の素子上にトリエトキシボロン（別名ホウ酸トリエチル、化学式： $B(OC_2H_5)_3$ ）を微量滴下した。120℃のオープン中で過剰のトリエトキシボロンを乾燥させた後、電子放出素子を再び上記の真空処理装置中に戻し、イオンポンプ、ターボモレキュラーポンプ、及びスクロールポンプを排気装置として用いて、150℃で8時間加熱して安定した。この場合、真空容器全体の加熱も行った。

【0134】以上のようにして作製した電子放出素子を、上記の真空処理装置（測定評価装置）内で駆動させ、駆動に伴う素子電流  $I_f$  及び放出電流  $I_e$  の時間変 \*

処理内容	素子No.	$I_f/I_{f0}$ (%)	$I_e/I_{e0}$ (%)
リン酸ブトキシド 耐酸化処理	1	63.3	62.9
	2	64.2	64.4
	3	61.9	62.2
	4	63.8	63.3
	5	62.4	63.0
	平均	63.1	63.2

【0138】表3からわかるように、トリエトキシボロンによる耐酸化処理を行った5素子では、24時間駆動後に初期値の60%以上の素子電流  $I_f$  及び放出電流  $I_e$  を残すことができ、耐酸化処理による劣化防止効果が確認された。

【0139】【実施例4】本実施例は、多数の電子放出素子を単純マトリクス配置した電子源を用いて、画像形成装置を作製した例である。

【0140】複数の導電性膜がマトリクス配線された基板の一部の平面図を図12に示す。また、図中のA-A'断面図を図13に示す。但し、図12、図13で同じ符号で示したものは、同じ部材を示す。ここで71は基板、2と3は素子電極、4は導電性膜である。72は図6のDxmに対応するX方向配線（下配線とも呼ぶ）、73は図6のDynに対応するY方向配線（上配線とも呼ぶ）、151は層間絶縁層、152は素子電極2と下配線72との電気的接続のためのコンタクトホールである。

【0141】まず、本実施例の電子源基板の製造方法を、図14及び図15を用いて工程順に説明する。尚、以下に説明する工程a～hは、それぞれ図14の(a)～(d)及び図15の(e)～(h)に対応する。

【0142】工程-a

清浄化した石英ガラス基板71上に、真空蒸着法により、厚さ50ÅのCr、厚さ6000ÅのAuを順次堆積した後、ホトレジスト（AZ1370/ヘキスト社製）をスピンナーにより回転塗布、ベークした後、ホトマスク像を露光、現像して、下配線72のレジストパターンを形成し、Au/Cr堆積膜をウェットエッチング

22

\*化を観測した。駆動条件、アノード電極の位置、アノード電極の電位は、実施例1及び2と同じである。

【0135】この電子放出素子を24時間駆動させ、駆動後の素子電流  $I_f$  値及び放出電流  $I_e$  値の駆動初期における値  $I_{f0}$ 、 $I_{e0}$  に対する割合をもって、電子放出素子の劣化速度の目安とした。

【0136】本実施例で作製したトリエトキシボロンによる耐酸化処理を行った5素子について、測定された24時間駆動後の  $I_f$ 、 $I_e$  の初期値に対する割合を表3に示す。

【0137】

【表3】

して、所望の形状の下配線72を形成した。

【0143】工程-b

次に、厚さ1.0μmのシリコン酸化膜からなる層間絶縁層151をRFスパッタ法により堆積した。

【0144】工程-c

工程bで堆積したシリコン酸化膜にコンタクトホール152を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層151をエッチングしてコンタクトホール152を形成した。エッチングはCF<sub>4</sub>とH<sub>2</sub>ガスをを用いたRIE（Reactive Ion Etching）法によった。

【0145】工程-d

その後、素子電極2、3と素子電極間ギャップLとなるべきパターンをホトレジスト（RD-2000N-41/日立化成社製）形成し、真空蒸着法により、厚さ5nmのTi、厚さ30nmのPtを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Pt/Ti堆積膜をリフトオフし、素子電極間隔Lが10μm、幅Wが500μmの素子電極2、3を形成した。

【0146】工程-e

素子電極2、3の上に上配線73のホトレジストパターンを形成した後、厚さ50ÅのTi、厚さ5000ÅのAuを順次真空蒸着により堆積した。ホトレジストパターンを有機溶剤で溶解し、Au/Ti堆積膜をリフトオフし、所望の形状の上配線73を形成した。

【0147】工程-f

次に、膜厚1000ÅのCr膜153を真空蒸着により堆積後、導電性膜4の形状の開口部を有するようにパターンニングし、この上にPd、Ptの順でそれぞれ25Å、10Å蒸着した。これらの成膜条件について、前も

23

って調べられており、Pd及びPtの抵抗値(Rs)はそれぞれ $2 \times 10^4 \Omega/\square$ 、 $5 \times 10^5 \Omega/\square$ である。

#### 【0148】工程-g

Cr膜153を酸エッチャントを用いてウエットエ칭して導電性膜4の不要部分とともに除去し、所望の形状の導電性膜4を形成した。

#### 【0149】工程-h

コンタクトホール152部分に開口を有するレジストパターンを形成し、真空蒸着により厚さ50ÅのTi、厚さ5000ÅのAuを順次堆積した。リフトオフにより不要な部分を除去することにより、コンタクトホール152を埋め込んだ。

【0150】以上の工程により、絶縁性基板71上に下配線72、層間絶縁層151、上配線73、素子電極2、3、第1及び第2の薄膜からなる導電性膜4を形成した。この導電性膜4には、上述した手法で活性化処理及び耐酸化処理が施される。

【0151】次に、以上のようにして作製した複数の導電性膜4がマトリクス配線された基板71(図12)を用いて画像形成装置を作製した。作製手順を図7と図8を用いて説明する。

【0152】まず、上記複数の導電性膜4がマトリクス配線された基板71(図12)をリアプレート81上に固定した後、基板71の5mm上方に、フェースプレート86(ガラス基板83の内面に蛍光膜84とメタルバック85が形成されて構成される)を支持枠82を介して配置し、フェースプレート86、支持枠82、リアプレート81の接合部にフリットガラスを塗布し、大気中で500℃で15分間焼成することで封着し、パネル(図7中の外囲器88)を構成した。なお、リアプレート81への基板71の固定もフリットガラスで行った。

【0153】蛍光膜84は、カラーを実現するために、ストライプ形状(図8(a)参照)の蛍光体とし、先にブラックストライプを形成し、その間隙部にスラリー法により各色蛍光体92を塗布して蛍光膜84を作製した。ブラックストライプの材料としては、通常よく用いられている黒鉛を主成分とする材料を用いた。

【0154】また、蛍光膜84の内面側にはメタルバック85を設けた。メタルバック85は、蛍光膜84の作製後、蛍光膜84の内面側表面の平滑化処理(通常、フィリミングと呼ばれる)を行い、その後、Alを真空蒸着することで作製した。

【0155】フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外側面に透明電極を設ける場合もあるが、本実施例ではメタルバック85のみで十分な導電性が得られたので省略した。

【0156】前述の封着を行う際、カラーの場合は各色蛍光体92と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【0157】引き続き容器外端子Dox1乃至Doxm

24

とDoy1乃至Doy nを通じ電子放出素子74の素子電極2、3間にパルス電圧を印加し、フォーミング処理を行った。本実施例では、図4(b)に示したようなパルスを用い、パルス幅T1を1msec.、パルス間隔T2を10msec.とし、波高値は0Vから0.1Vステップで徐々に上昇させ、約 $1.3 \times 10^{-3}$ Paの真空雰囲気下で行った。

【0158】次に、 $1.3 \times 10^{-4}$ Pa程度の真空度まで排気した後、排気管をガスバーナーで熱することで溶着し外囲器88の封止を行った。最後に、封止後の真空度を維持するために、高周波加熱法でゲッター処理を行ってパネルを完成させた。

【0159】次に、上記パネルの容器外端子Dox1乃至DoxmとDoy1乃至Doy n及び高压端子87を夫々必要な駆動系に接続し、画像形成装置を完成した。各電子放出素子に、容器外端子Dox1乃至DoxmとDoy1乃至Doy nを通じて、走査信号及び変調信号を不図示の信号発生手段より夫々印加することにより電子放出させ、高压端子87を通じてメタルバック85に数kV以上の高压を印加して、電子ビームを加速し、蛍光膜84に衝突させ、励起・発光させることで画像を表示した。

【0160】その結果、本実施例の画像形成装置では、低電流で明るい高品位な画像を表示することができた。

【0161】[実施例5] 図16は、実施例4によるディスプレイパネル(図7)に、例えばテレビジョン放送を初めとする種々の画像情報源より提供される画像情報を表示できるように構成した本発明の画像形成装置の一例を示す図である。

【0162】図中201はディスプレイパネル、1001はディスプレイパネルの駆動回路、1002はディスプレイコントローラ、1003はマルチプレクサ、1004はデコード、1005は入出カインターフェース回路、1006はCPU、1007は画像生成回路、1008及び1009及び1010は画像メモリーインターフェース回路、1011は画像入カインターフェース回路、1012及び1013はTV信号受信回路、1014は入力部である。

【0163】尚、本画像形成装置は、例えばテレビジョン信号のように、映像情報と音声情報の両方を含む信号を受信する場合には当然映像の表示と同時に音声再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶等に関する回路やスピーカー等については説明を省略する。

【0164】以下、画像信号の流れに沿って各部の機能を説明する。

【0165】まず、TV信号受信回路1013は、例えば電波や空間光通信等のような無線伝送系を用いて伝送されるTV信号を受信するための回路である。

【0166】受信するTV信号の方式は特に限られるも

25

のではなく、例えばNTSC方式、PAL方式、SECAM方式等、いずれの方式でもよい。また、これらより更に多数の走査線よりなるTV信号、例えばMUSE方式を初めとする所謂高品位TVは、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。

【0167】TV信号受信回路1013で受信されたTV信号は、デコーダ1004に出力される。

【0168】TV信号受信回路1012は、例えば同軸ケーブルや光ファイバー等のような有線伝送系を用いて伝送されるTV信号を受信するための回路である。前記TV信号受信回路1013と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ1004に出力される。

【0169】画像入インターフェース回路1011は、例えばTVカメラや画像読み取りスキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1004に出力される。

【0170】画像メモリーインターフェース回路1010は、ビデオテープレコーダー（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1004に出力される。

【0171】画像メモリーインターフェース回路1009は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1004に出力される。

【0172】画像メモリーインターフェース回路1008は、静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ1004に出力される。

【0173】入出インターフェース回路1005は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのは勿論のこと、場合によっては本画像形成装置の備えるCPU1006と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0174】画像生成回路1007は、前記入出インターフェース回路1005を介して外部から入力される画像データや文字・図形情報や、あるいはCPU1006より出力される画像データや文字・図形情報に基づき、表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリーや、画像処理を行うためのプロセッサ等を初めとして、画像の生成に必要な回路が組み込まれている。

26

【0175】本回路により生成された表示用画像データは、デコーダ1004に出力されるが、場合によっては前記入出インターフェース回路1005を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【0176】CPU1006は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0177】例えば、マルチプレクサ1003に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。その際には表示する画像信号に応じてディスプレイパネルコントローラ1002に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。また、前記画像生成回路1007に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出インターフェース回路1005を介して外部のコンピュータやメモリーをアクセスして画像データや文字・図形情報を入力する。

【0178】尚、CPU1006は、これ以外の目的の作業にも関わるものであってよい。例えば、パーソナルコンピュータやワードプロセッサ等のように、情報を生成したり処理する機能に直接関わってもよい。あるいは前述したように、入出インターフェース回路1005を介して外部のコンピュータネットワークと接続し、例えば数値計算等の作業を外部機器と協同して行ってもよい。

【0179】入力部1014は、前記CPU1006に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスの他、ジョイスティック、バーコードリーダー、音声認識装置等の多様な入力機器を用いることが可能である。

【0180】デコーダ1004は、前記1007ないし1013より入力される種々の画像信号を3原色信号、又は輝度信号とI信号、Q信号に逆変換するための回路である。尚、図中に点線で示すように、デコーダ1004は内部に画像メモリーを備えるのが望ましい。これは、例えばMUSE方式を初めとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。

【0181】画像メモリーを備える事により、静止画の表示が容易になる。あるいは前記画像生成回路1007及びCPU1006と協同して、画像の間引き、補間、拡大、縮小、合成を初めとする画像処理や編集が容易になるという利点が得られる。

【0182】マルチプレクサ1003は、前記CPU1006より入力される制御信号に基づき、表示画像を適宜選択するものである。即ち、マルチプレクサ1003はデコーダ1004から入力される逆変換された画像信

27

号の内から所望の画像信号を選択して駆動回路1001に出力する。その場合には、一画面表示時間内で画像信号を切り換えて選択することにより、所謂多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0183】ディスプレイパネルコントローラ1002は、前記CPU1006より入力される制御信号に基づき、駆動回路1001の動作を制御するための回路である。

【0184】ディスプレイパネルの基本的な動作に関わるものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路1001に対して出力する。ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路1001に対して出力する。また、場合によっては、表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路1001に対して出力する場合もある。

【0185】駆動回路1001は、ディスプレイパネル201に印加する駆動信号を発生するための回路であり、前記マルチプレクサ1003から入力される画像信号と、前記ディスプレイパネルコントローラ1002より入力される制御信号に基づいて動作するものである。

【0186】以上、各部の機能を説明したが、図16に例示した構成により、本画像形成装置においては多様な画像情報源より入力される画像情報をディスプレイパネル201に表示することが可能である。即ち、テレビジョン放送を初めとする各種の画像信号は、デコーダ1004において逆変換された後、マルチプレクサ1003において適宜選択され、駆動回路1001に inputs される。一方、ディスプレイコントローラ1002は、表示する画像信号に応じて駆動回路1001の動作を制御するための制御信号を発生する。駆動回路1001は、上記画像信号と制御信号に基づいてディスプレイパネル201に駆動信号を印加する。これにより、ディスプレイパネル201において画像が表示される。これらの一連の動作は、CPU1006により統括的に制御される。

【0187】本画像形成装置においては、前記デコーダ1004に内蔵する画像メモリや、画像生成回路1007及び情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換等を初めとする画像処理や、合成、消去、接続、入れ換え、嵌め込み等を初めとする画像編集を行うことも可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けてもよい。

28

【0188】従って、本画像形成装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサを初めとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0189】図16に示した表示装置は、本発明の技術的思想に基づいて種々の変形が可能である。例えば図16の構成要素の内、使用目的上必要のない機能に関わる回路は省いても差し支えない。また、これとは逆に、使用目的によっては更に構成要素を追加してもよい。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路等を構成要素に追加するのが好適である。

【0190】本表示装置においては、とりわけ電子放出素子を電子ビーム源とするディスプレイパネルの薄型化が容易であるため、表示装置の奥行きを小さくすることができる。それに加えて、大面積化が容易で輝度が高く視野角特性にも優れるため、臨場感あふれる迫力に富んだ画像を視認性良く表示することが可能である。また、均一な特性を有する多数の電子放出素子を備える電子源を用いたことにより、従来の表示装置と比較して非常に均一で明るい高品位なカラーフラットテレビが実現された。

【0191】

【発明の効果】以上説明したように、本発明によれば、活性化処理によって電子放出部に堆積した炭素に対して、ハロゲン化合物、リン化合物、ホウ素化合物による耐酸化処理を施すことにより、素子駆動時の放出電流の劣化が少ない電子放出素子を作製することができる。

【0192】また、多数の電子放出素子を配列形成し、入力信号に応じて電子を放出する電子源においては、安定で、且つ、歩留りよく作製できると共に、効率の向上により、消費電力が少なく周辺回路等の負担も軽減され安価な装置が提供できる。

【0193】更に、かかる電子源を用いた画像形成装置においては、低電流で明るい高品位な画像形成装置、例えばカラーフラットテレビが実現される。

【図面の簡単な説明】

【図1】本発明に係る電子放出素子の一例を示す模式図である。

【図2】本発明の電子放出素子の製造方法を説明するための図である。

【図3】本発明の電子放出素子の製造に際して採用できる通電処理における電圧波形の一例を示す模式図である。

【図4】本発明の電子放出素子の製造に用いることのできる真空処理装置（測定評価装置）の一例を示す概略構成図である。

【図5】本発明の電子放出素子の電子放出特性を示す図

29

である。

【図 6】本発明の単純マトリクス配置の電子源の一例を示す模式図である。

【図 7】本発明の画像形成装置の表示パネルの一例を示す模式図である。

【図 8】表示パネルにおける蛍光膜の一例を示す模式図である。

【図 9】本発明の画像形成装置に N T S C 方式のテレビ信号に応じて表示を行うための駆動回路の一例を示すブロック図である。

【図 10】本発明の梯子型配置の電子源の一例を示す模式図である。

【図 11】本発明の画像形成装置の表示パネルの一例を示す模式図である。

【図 12】本発明の実施例に係るマトリクス配線した電子源の一部を示す模式図である。

【図 13】図 12 の A-A' 断面模式図である。

【図 14】図 12 の電子源の製造工程を示す図である。

【図 15】図 12 の電子源の製造工程を示す図である。

【図 16】実施例 5 の画像表示装置のブロック図である。

【図 17】従来例の表面伝導型電子放出素子の模式図である。

#### 【符号の説明】

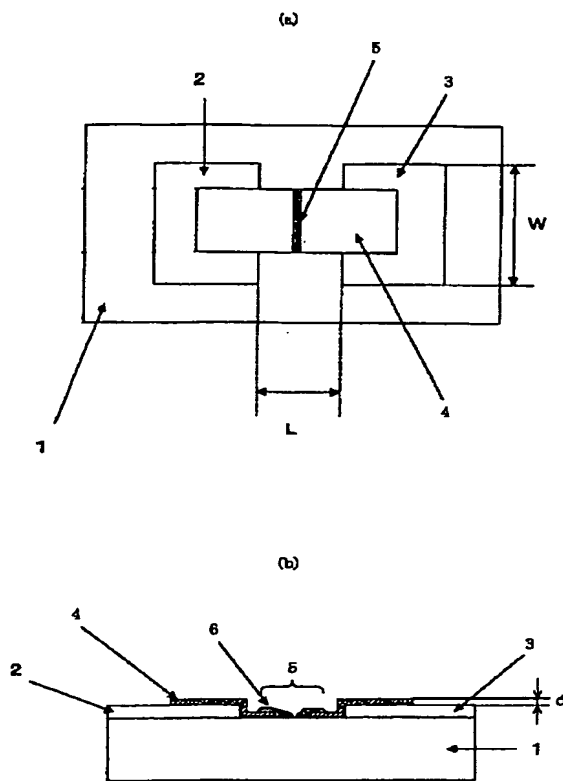
- 1 基板
- 2, 3 素子電極
- 4 導電性膜
- 5 電子放出部
- 6 耐酸化処理を施した炭素
- 50 素子電流  $I_f$  を測定するための電流計
- 51 電子放出素子に素子電圧  $V_f$  を印加するための電源
- 52 電子放出部 5 より放出される放出電流  $I_e$  を測定するための電流計
- 53 アノード電極 54 に電圧を印加するための高圧電源
- 54 電子放出部 5 より放出される電子を捕捉するためのアノード電極
- 55 真空容器
- 56 排気ポンプ
- 71 電子源基板
- 72 X 方向配線

30

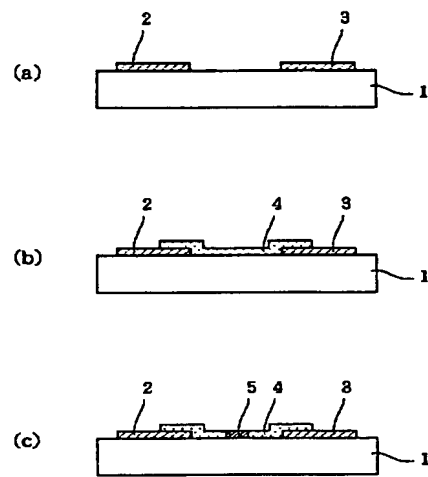
- 73 Y 方向配線
- 74 電子放出素子
- 75 結線
- 81 リアプレート
- 82 支持枠
- 83 ガラス基板
- 84 蛍光膜
- 85 メタルバック
- 86 フェースプレート
- 10 87 高圧端子
- 88 外囲器
- 91 黒色導電材
- 92 蛍光体
- 101 表示パネル
- 102 走査回路
- 103 制御回路
- 104 シフトレジスタ
- 105 ラインメモリ
- 106 同期信号分離回路
- 20 107 変調信号発生器
- $V_x, V_a$  直流電圧源
- 110 電子源基板
- 111 電子放出素子
- 112 電子放出素子を配線するための共通配線
- 120 グリッド電極
- 121 電子が通過するための開口
- 151 層間絶縁層
- 152 コンタクトホール
- 153 Cr 膜
- 30 201 ディスプレイパネル
- 1001 ディスプレイパネルの駆動回路
- 1002 ディスプレイコントローラ
- 1003 マルチプレクサ
- 1004 デコーダ
- 1005 入出力インターフェース回路
- 1006 CPU
- 1007 画像生成回路
- 1008、1009、1010 画像メモリーインターフェース回路
- 40 1011 画像入力インターフェース回路
- 1012、1013 TV 信号受信回路
- 1014 入力部



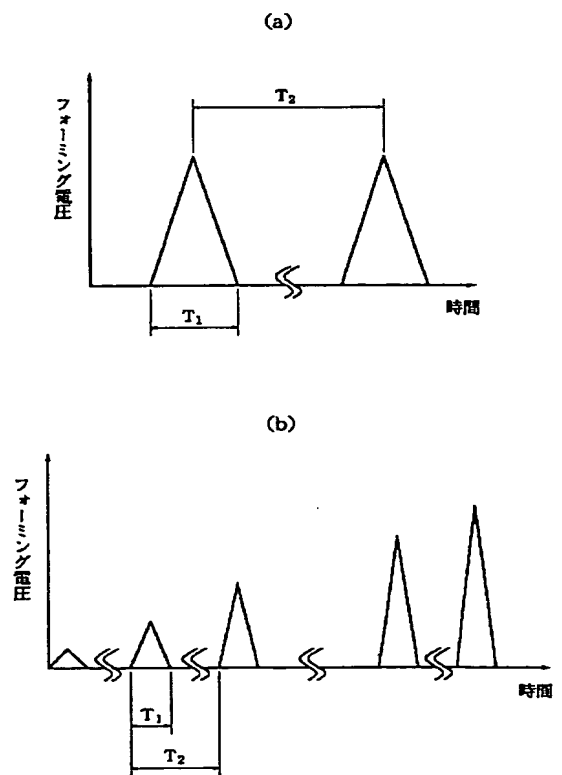
【図1】



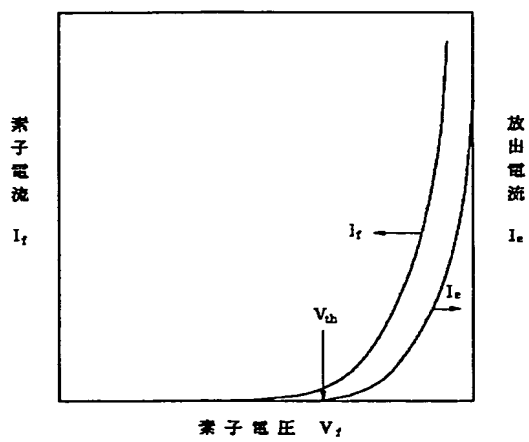
【図2】



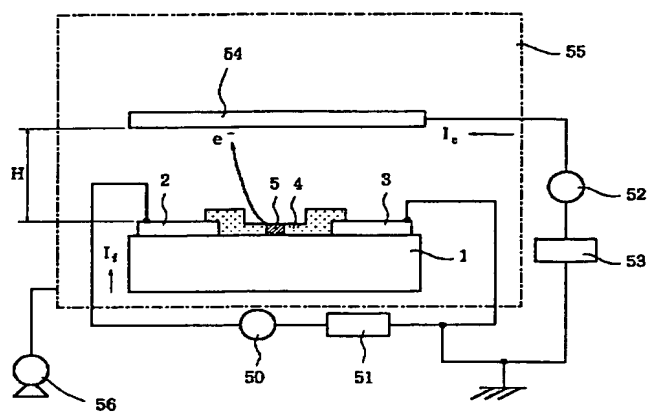
【図3】



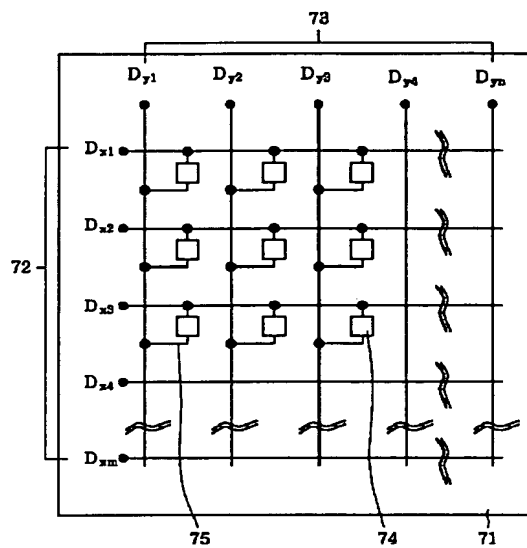
【図5】



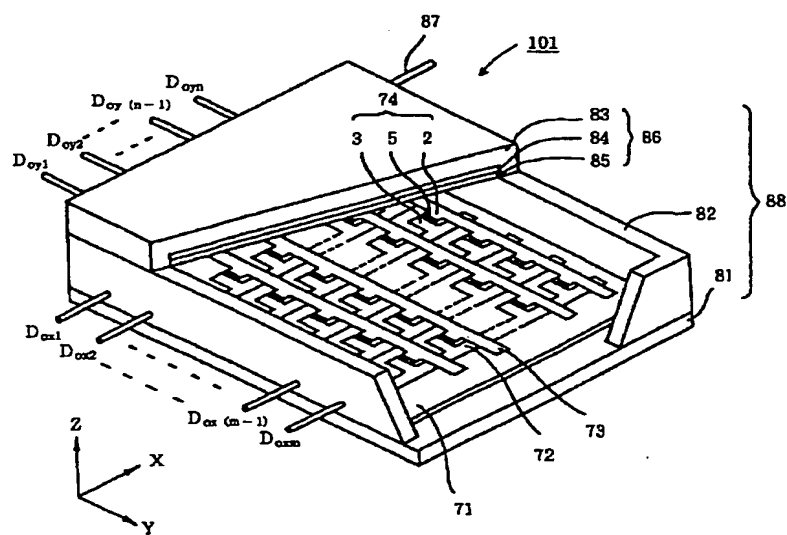
【図 4】



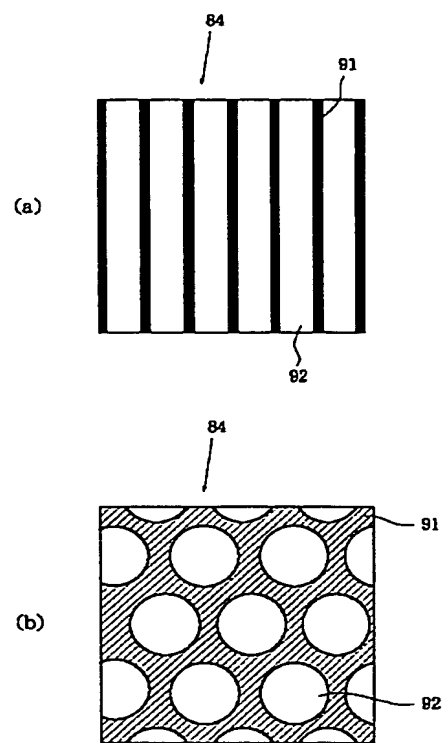
【図 6】



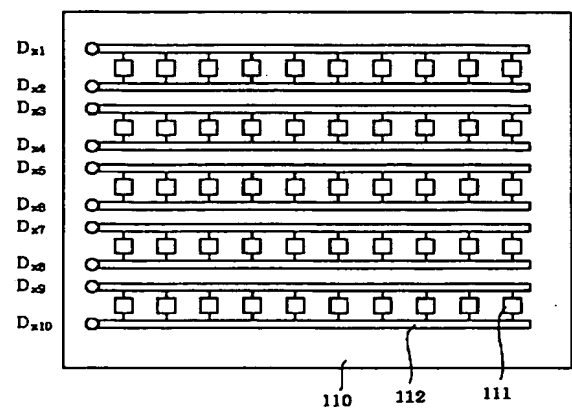
【図 7】



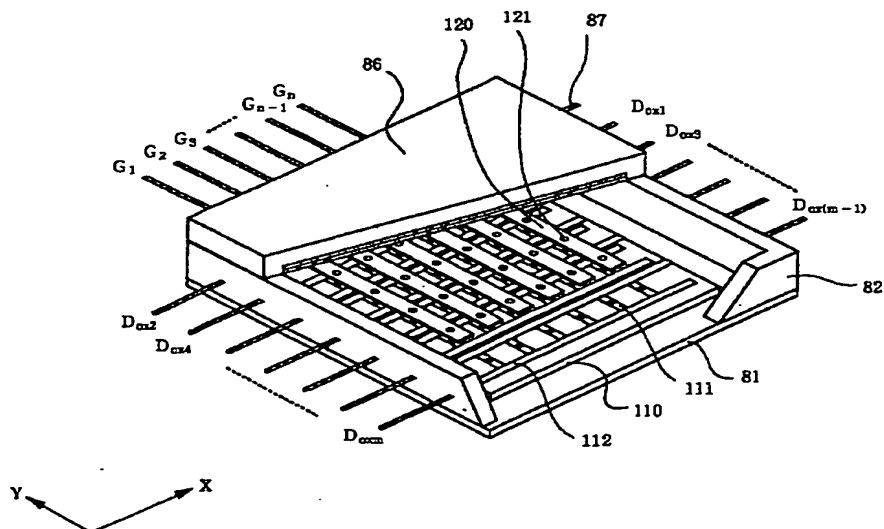
【圖 8】



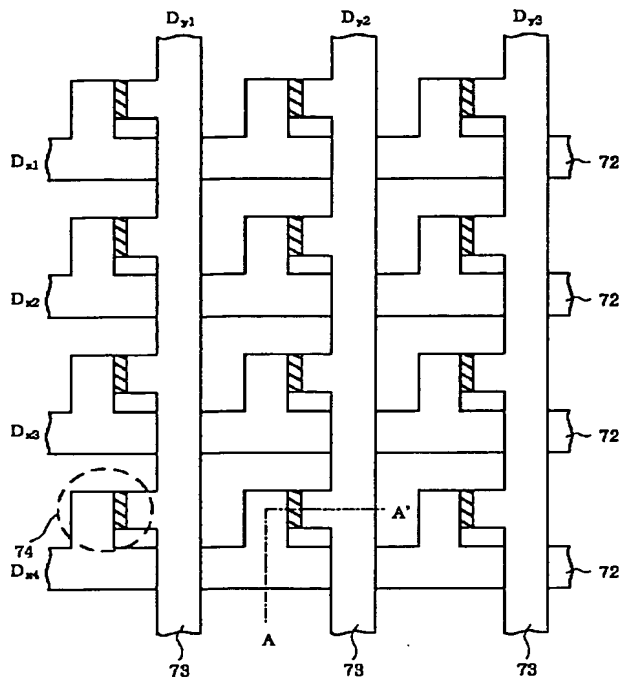
【圖 10】



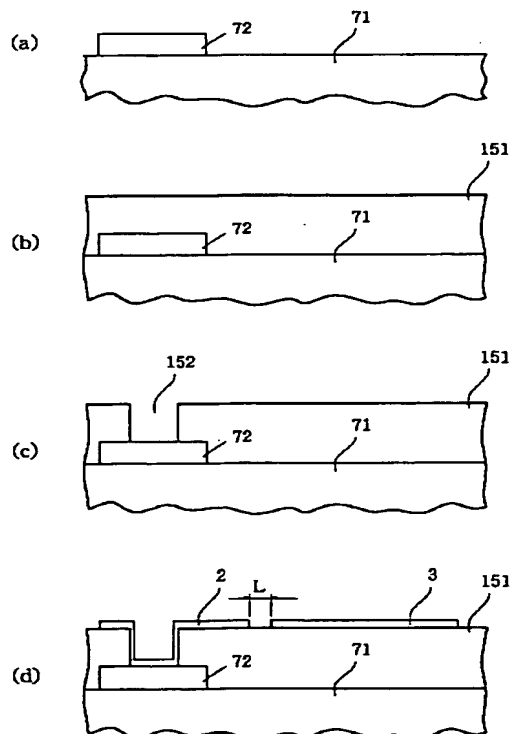
【図 1 1】



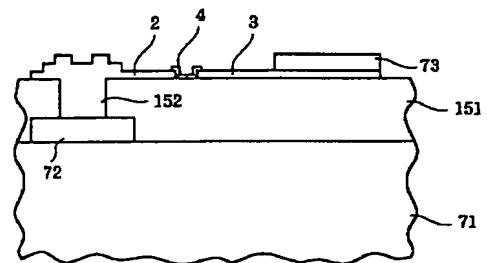
【図12】



【図14】

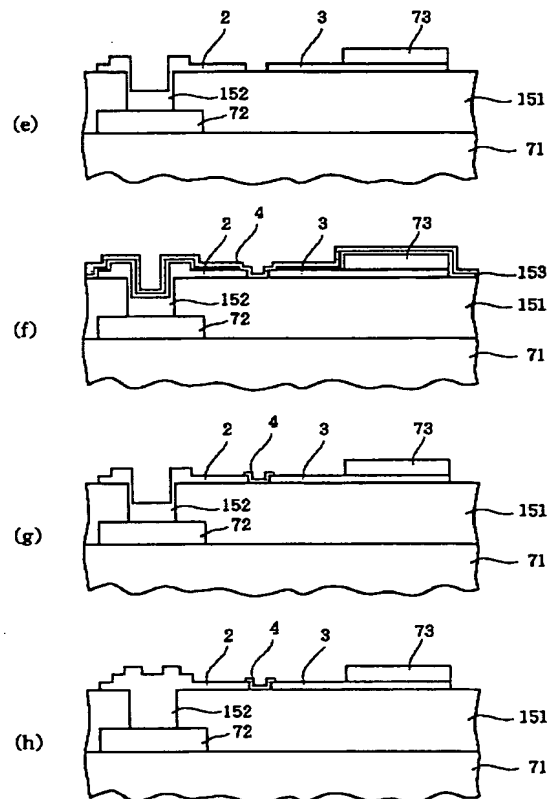


【図13】

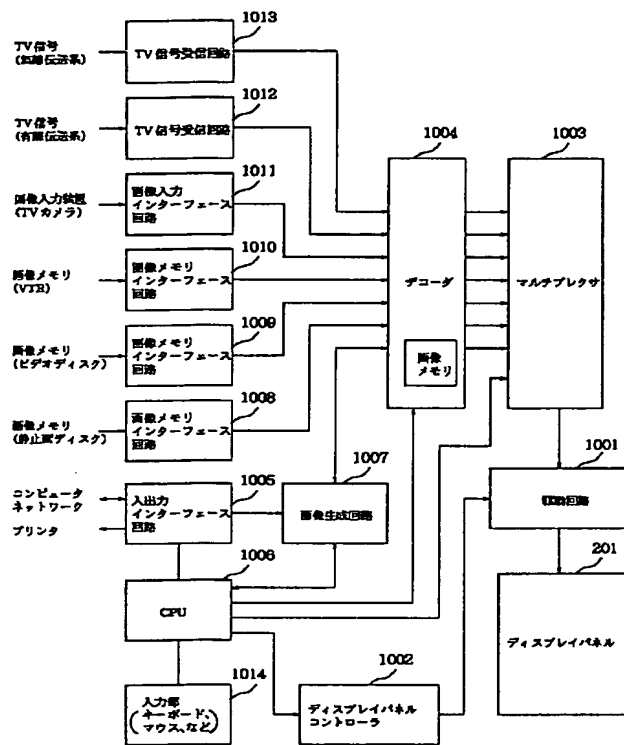


A-A' 断面図

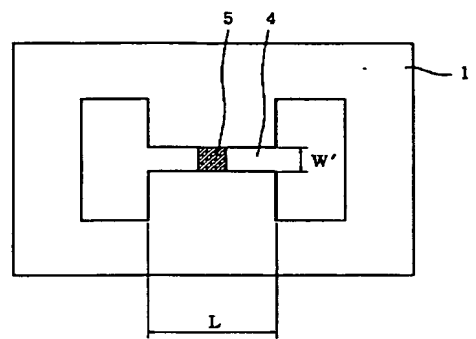
【図15】



【図16】



【図17】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

### **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**